

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

008242323 ****Image available****

WPI Acc No: 1990-129324/199017

**Thin-film FET for active-matrix LCD panel - has source electrode between
spaced two drain electrodes NoAbstract Dwg 1/7**

Patent Assignee: EPSON CORP (SHUH)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2079476	A	19900320	JP 88230914	A	19880914	199017 B

Priority Applications (No Type Date): JP 88230914 A 19880914

Title Terms: THIN; FILM; FET; ACTIVE; MATRIX; LCD; PANEL; SOURCE; ELECTRODE
; SPACE; TWO; DRAIN; ELECTRODE; NOABSTRACT

Derwent Class: P81; U12; U14

International Patent Class (Additional): G02F-001/13; H01L-027/00;

H01L-029/78

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03103976 **Image available**

FILM TYPE TRANSISTOR

PUB. NO.: 02-079476 [JP 2079476 A]

PUBLISHED: March 20, 1990 (19900320)

INVENTOR(s): NAKAZAWA TAKASHI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
, JP (Japan)

APPL. NO.: 63-230914 [JP 88230914]

FILED: September 14, 1988 (19880914)

INTL CLASS: [5] H01L-029/784; G02F-001/136; H01L-027/00; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JOURNAL: Section: E, Section No. 937, Vol. 14, No. 259, Pg. 76, June 05, 1990 (19900605)

ABSTRACT

PURPOSE: To provide a film type transistor without variations of parasitic capacitance by furnishing two drain electrodes arranged apart at a certain distance, a source electrode wired between these electrodes, and a wiring tying the two drain electrodes.

CONSTITUTION: Two drain electrodes 103 consisting of silicon film, to which impurity to become donor or acceptor is added, are provided on an insulating substrate 101 of glass, quartz, sapphire, etc. A source electrode 102 in the same material as electrode 103 is furnished between the two electrodes 103. A semiconductor layer 104 consisting of silicon film is formed on a line tying the two drain electrodes 103 and source electrodes 102 in contact with their overside, and these are covered with a gate insulation film 105, and thereon a gate electrode 16 is furnished. Further a contact hole 108 is provided on the electrodes 103, and a drain wiring 107 is formed from metal, etc., so that the potentials of the two drain electrodes 103 become equal. Thereby a film type transistor with the parasitic capacitance held constant is obtained irrespective of dislocation of the pattern.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-79476

⑬ Int. Cl. 9

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月20日

H 01 L 29/784
G 02 F 1/136
H 01 L 27/00
27/12

5 0 0
3 0 1

A

7370-2H
7514-5F
7514-5F
8624-5F

H 01 L 29/78 3 1 1 A

審査請求 未請求 請求項の数 3 (全6頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭63-230914

⑰ 出 願 昭63(1988)9月14日

⑱ 発 明 者 中 澤 尊 史 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 上柳 雅 外1名

明 細 書

を結ぶ配線を同時に形成したことを特徴とする請求項1記載の薄膜トランジスタ。

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

(1) 所定の基板上に、ソース電極及びドレイン電極と、該ソース電極と該ドレイン電極を結ぶ半導体層と、該ソース電極と該ドレイン電極と該半導体層を被覆するゲート絶縁膜と、該ゲート絶縁膜を介して設けられたゲート電極を具備する薄膜トランジスタにおいて、所定の間隔を隔てて設けられた2つのドレイン電極と、該2つのドレイン電極の間に配線されたソース電極と、該2つのドレイン電極とを結ぶ配線を具備したことを特徴とする薄膜トランジスタ。

(2) 該2つのドレイン電極と、該ソース電極を同時に形成したことを特徴とする請求項1記載の薄膜トランジスタ。

(3) 該ゲート電極と、該2つのドレイン電極

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はアクティブマトリックス方式の液晶ディスプレイや、イメージセンサや3次元集積回路などに応用される薄膜トランジスタに関する。

〔従来の技術〕

従来の薄膜トランジスタは、例えばJ A P A N D I S P L A Y ' 86の1986年P196～P199に示される様な構造であった。この構造を一般化して、その概要を図2図に示す。(a)図は上視図であり、(b)図はAA'における断面図である。ガラス、石英、サファイア等の絶縁基板201上に、ドナーあるいはアクセプタとなる不純物を添加した多結晶シリコン薄膜から成るソース領域202及びドレイン領域203が形成されている。これに接して、ソース電極204とドレイン電極205が設けられており、更にソ

ース領域202及びドレイン領域203の上側で接し両者を結ぶように多結晶シリコン薄膜から成るチャネル領域206が形成されている。これらを重ねるようにゲート絶縁膜207が設けられている。更にこれに接しゲート電極208が設けられている。

〔発明が解決しようとする課題〕

しかし、従来の薄膜トランジスタは次のような問題点を有していた。

第3図に薄膜トランジスタの上視図を示し、第4図にその等価回路を示す。

ゲート電極304と、第3図(a)に示す斜線部S₁でゲート絶縁膜を誘電体としてゲートGとソースSの間に寄生容量401が形成される。同様に、ゲート電極304と斜線部S₂でゲートGとドレインDの間に寄生容量402が形成される。

第3図(b)に示す様に矢印305の方向に、ゲート電極304のパターンずれが生ずると、寄生容量401は減少し、寄生容量402は増大する。逆に第3図(c)に示す様に矢印306の方

る。

〔課題を解決するための手段〕

本発明の薄膜トランジスタは、所定の間隔を隔てて設けられた2つのドレイン電極と、該2つのドレイン電極の間に配線されたソース電極と、該2つのドレイン電極を結ぶ配線を具備したことを特徴とする。

〔実施例〕

以下実施例に基づいて本発明を詳しく説明する。第1図に本発明による薄膜トランジスタの一例を示す。(a)は上視図であり、(b)はBB'における断面図である。ガラス、石英、サファイア等の絶縁基板101上にドナーあるいはアクセプタとなる不純物を添加した多結晶シリコン、非晶質シリコン等のシリコン薄膜から成る2つのドレイン電極103が設けられている。ドレイン電極と同じ材質で2つのドレイン電極103の間にソース電極102が設けられている。その膜厚は500~5000Åが望ましい。ソース電極102は、低抵抗化のために金属、透明導電膜等の導電

向にゲート電極304のパターンずれが生じると、寄生容量401は増大し、寄生容量402は減少する。すなわち、薄膜トランジスタの寄生容量は、ソース電極301及び、ドレイン電極302に対してゲート電極304のパターンずれで大きくばらつく。パターンずれの主な原因は、ゲート電極304のアライメントずれ、フォトリソ間のピッチずれ等である。従って、同一基板内あるいは基板間で寄生容量がばらつき、回路定数を一定とすることが困難となり、液晶ディスプレイへ応用した場合表示品質がばらつき、更に画質を低下させていた。又液晶ディスプレイが大型化すればパターンずれは更に大きくなり、著しく表示品質を低下させ、大型化の大きな妨げとなっていた。

イメージセンサや3次元集積回路へ応用した場合、回路定数が一定とすることが困難となり、実用化への大きな妨げとなっていた。

本発明は、このような問題点を解決するものであり、その目的とするところは、寄生容量のばらつきの無い薄膜トランジスタを提供することにあ

る。あるいは、これらの導電極の表面をドレイン電極と同じ材質で覆った2層構造としてもよい。2つのドレイン電極103とソース電極102の上側に接してこれらを結ぶ様に、多結晶シリコン、非晶質シリコン等のシリコン薄膜から成る半導体層104が形成されている。その膜厚は2000Å以下が望ましい。これら全体をSiO₂、SiNx、SiON等のゲート絶縁膜105が被覆している。この上に、金属、透明導電膜等から成るゲート電極106が設けられている。更にドレイン電極103上にコンタクトホール108が設けられており、2つのドレイン電極103の電位が等しくなる様に金属あるいは透明導電膜によりドレイン配線107が形成されている。ゲート電極106及びドレイン配線107は同時に同じ材質で形成してもよい。

この様に構成された薄膜トランジスタは、2つの薄膜トランジスタを並列に接続したのと等価となる。薄膜トランジスタのチャネル長Lは、第1図の矢印109であり、チャネル幅Wは矢印11

0で示された値の2倍である。

第5図に本発明の薄膜トランジスタの上視図を示し第6図にその等価回路を示す。

ゲート電極508と第5図(a)に示す斜線部S₁及びS₂でゲート絶縁膜を誘電体としてゲートGとソースSの間に寄生容量601、602が形成されている。同様にゲート電極506と斜線部S₁でゲートGとドレインDの間に寄生容量603が形成される。第5図(b)に示す様に矢印511の方向にパターンずれが生じた場合、S₁の面積はパターンずれがない場合と同じであるが、S₂、S₃の面積が変化する。すなわち寄生容量601が大きくなり、602が小さくなるが第6図に示す等価回路からも明らかな様に、寄生容量601と602は並列となっているため、ソース側の寄生容量のトータルはパターンずれがない場合と同じ($S_1 + S_2 = S_1 + S_3$)となる。第5図(c)の場合も全く同様($S_1 + S_2 = S_1 + S_3$)である。以上説明した様に、どの方向にパターンずれが生じて、薄膜トランジスタの寄生容量は、常に一

定となる。

すなわち、同一基板内あるいは基板間での寄生容量のばらつきを無くすることが可能となる。

薄膜トランジスタを形成する絶縁基板としてガラス基板が広く使用されている。一般にガラス基板を熱処理し、常温にもどすと、熱処理前のガラス寸法に比べ、熱処理後の寸法は小さくなる。

(以下基板の収縮と呼ぶ)1例として、#7089(コーニング社製)の基板の収縮を第7図に示す。横軸は熱処理温度、縦軸は10cm当りの基板の収縮量を示す。第7図より明らかな様に500℃以上の熱処理により急激な基板の収縮が生ずる。半導体層504が多結晶シリコン等の500℃以上の高温で形成する半導体を用いた場合、特に有効である。又基板の収縮が生じてても回路定数を一定に保つことが可能となり、液晶ディスプレイへ応用した場合表示品質のばらつきがなくなり、画質を著しく向上させられる。更にソース電極がドレイン配線すなわち画素電極の下側に形成できるため、画素電極と画素電極の間にソース電極を

形成するスペースを設ける必要がないため、開口率を大きくできる。

(発明の効果)

本発明は次のようなすぐれた効果を有する。

第1にパターンずれがどの方向に生じてても薄膜トランジスタの寄生容量を常に一定とすることができ、アクティブマトリックス方式の液晶ディスプレイに用いた場合、大面積化、高画質化を同時に実現できる。

第2に、回路定数を一定にできることにより、アクティブマトリックス基板あるいはロジック回路の設計を容易にできる。

第3に、パターンずれに対する許容度が大きく設計できるため、従来の様な厳しい工程管理が不用となり、歩留りが大幅に向上する。

第4に液晶ディスプレイに用いた場合、ソース電極が画素電極の下側に形成できるため、画素電極を大きくでき、その結果開口率の大きい明るい画面が得られる。

第5にソース電極と画素電極の電位差により、

液晶の配向が乱れることがなく、高画質化できる。

第6に、パターンずれに関係なく寄生容量を一定とできるため、基板内のばらつきあるいは基板間のばらつきを無くすることができ、大幅に品質が向上でき、更に大面積基板上へ均一な特性をもった薄膜トランジスタの形成を実現できる。

第7に、半導体層に多結晶シリコン等の500℃以上の高温で形成する半導体を用いた場合、基板の収縮に起因するパターンずれの影響を全く受けることなく、寄生容量を一定に保つことが可能となり、回路定数を一定にすることができる。

以上のように、本発明の薄膜トランジスタは数多くの優れた効果を有するものであり、その応用範囲は、ディスプレイ用のアクティブマトリックス基板やその周辺回路、イメージセンサ、3次元集積回路など多岐にわたる。

4. 図面の簡単な説明

第1図(a)(b)は本発明の薄膜トランジスタの構造を示し、(a)は上視図、(b)は断面

図である。

第2図(a)(b)は従来の薄膜トランジスタの構造を示し(a)は上视图、(b)は断面図である。

第3図(a)~(c)は、従来の薄膜トランジスタの構造を示す上视图である。

第4図は、従来の薄膜トランジスタの等価回路図である。

第5図(a)~(c)は、本発明の薄膜トランジスタの構造を示す上视图、第6図は等価回路図である。

第7図は基板の収縮を示すグラフである。

101, 201…基板

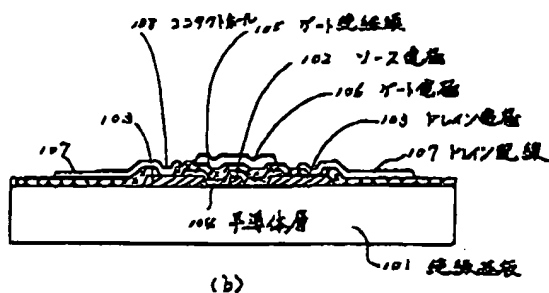
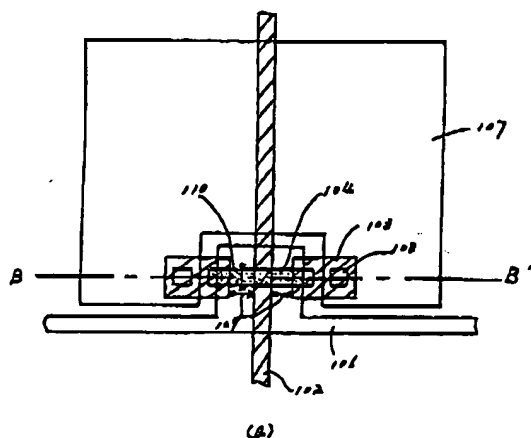
102, 202, 301, 503…ソース電極

103, 203, 302, 502…ドレイン電極

204…ソース配線

107, 205…ドレイン配線

104, 206, 303, 504…半導体層



第1図

105, 207…ゲート絶縁膜

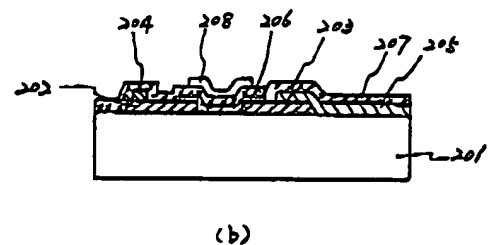
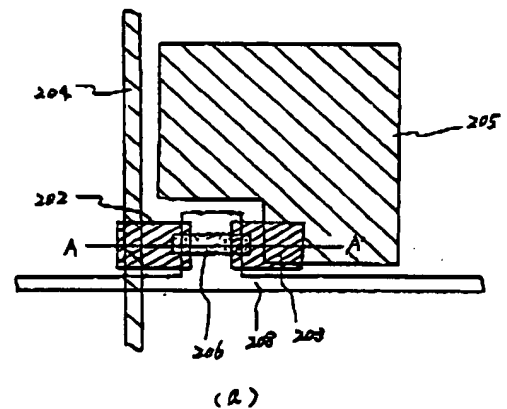
106, 208, 304, 506…ゲート電極

401, 402, 601, 602, 603…寄生容量

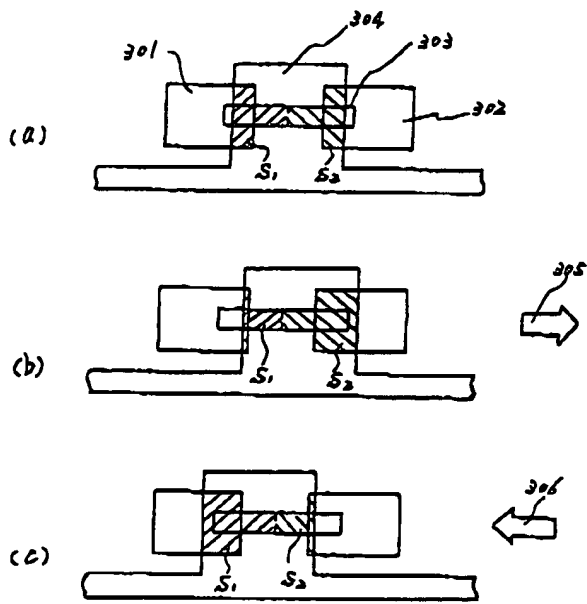
以上

出願人 セイコーエプソン株式会社

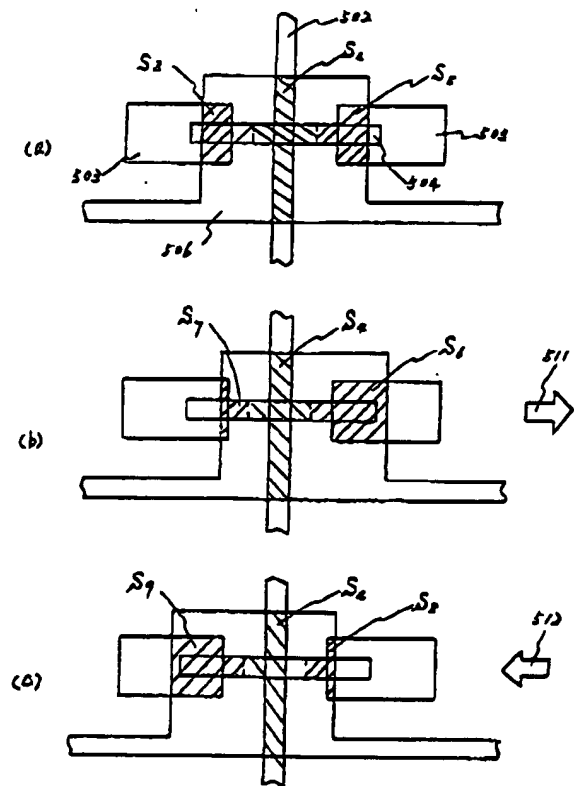
代理人 弁理士 上柳 雅彦 他1名



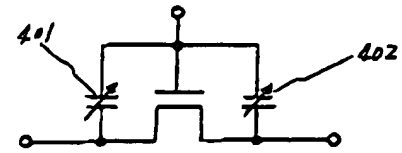
第2図



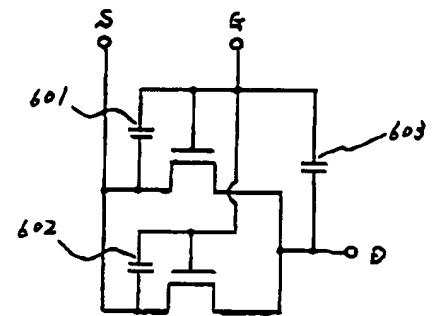
第 3 図



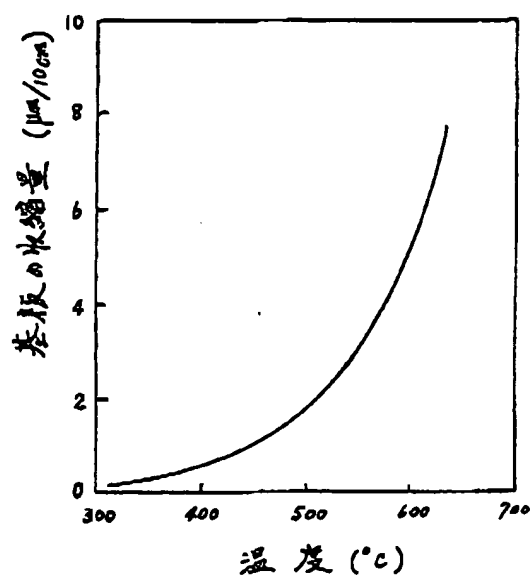
第 5 図



第 4 図



第 6 図



第 7 図